

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-184434

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

G09G 3/36
G02F 1/13
G02F 1/133
G09G 3/20
G09G 3/20
G09G 3/20

(21)Application number : 09-351024

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.12.1997

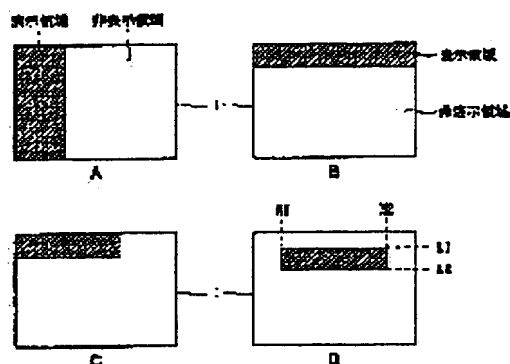
(72)Inventor : YAMAZAKI TAKU

(54) LIQUID CRYSTAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To set freely a partial display area to a certain extent for a device user in a liquid crystal display device having a function making only a partial part of a screen a display state and making a remaining part a non-display state.

SOLUTION: When an area to be partially displayed is made the surrounded area from L1-th row to L2-th row and from M1-th column to M2-th column of a liquid crystal display panel 1, a register is provided in a control circuit, and values corresponding to L1, L2, M1, M2 are made to be written in beforehand to be partially displayed according to the values written therein.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
11-184434/1999 (Tokukaihei 11-184434) (Published on
July 9, 1999)

(A) Relevance to claims

The following is a translation of passages related to claims
1 and 16 of the present invention.

(B) Translation of the relevant passages

[Embodiments]

[0038]

(Embodiment 2)

Referring to Figs. 5 and 6, an example of the method
of realizing the partial displaying illustrated in Fig. 1B
will be described below. Fig. 5 is a circuit diagram
illustrating a part of an LCD controller included in a
liquid crystal display device, i.e. a circuit block for
controlling the partial displaying in the row direction. Also,
Fig. 6 is a timing chart indicating the operation of the
circuit illustrated in Fig. 5. A display panel is composed of
200 rows and driven by a row-sequential method so that
the drive is carried out row by row, and only the first row
to 32nd row are driven on the occasion of the partial

displaying. In Fig. 6, parts A and B correspond to a liquid crystal display device of simple matrix and a liquid crystal display device of active matrix, respectively.

[0039]

A member 11 is a register of around 8 bits, in which information of whether or not the partial displaying in the row direction is carried out and information of the number of rows for the partial displaying are set. Provided that the number of rows is set in 7 bits, partial displaying until $2^7 = 128$ th row can be arranged row by row, in the case of a panel of row-sequential drive in which the drive is carried out row by row, and partial displaying until $2^7 \times 4 = 512$ th row can be carried out in increments of 4 rows, in the case of a panel of 4 rows simultaneous select drive.

[0040]

A member 12 is a circuit block centered on a counter, in which timing signals PDY and CNT3 for controlling the partial displaying in the row direction are generated in accordance with timing signals such as a scanning start signal FRM and a scanning signal transfer clock CLYI and the setting values of the register 11. The signals FRM and CLYI have respective timings as illustrated in Fig. 6. The timing signal CLYI is a signal which turns to be a scanning signal transfer clock on occasions when the

partial displaying is not carried out. The signal CLY is a scanning signal transfer clock supplied from the LCD controller to a Y driver, and is an AND output of the signal CNT3 and the signal CLYI, produced by an AND gate 13.

[0041]

Generally speaking, the Y driver has an arrangement of limited input so that the output of a select voltage is prohibited. The signal PDY corresponds to such limited input of the Y driver, so that the output of the select voltage is prohibited on the occasion of L-level and hence all of the outputs from the Y driver turn to be the non-select voltage level.

[0042]

t2 in Fig. 6 indicates a time at which non-partial displaying turns to be partial displaying. More precisely, the process for the partial displaying starts from t2. A frame period immediately after t2 is F1, and a frame period subsequent to the frame period F1 is F2.

[0043]

Before t2, the signal CNT3 is steadily in H-level, so that the AND gate 13 remains open on this occasion and a signal supplied to the signal CLYI is supplied to the signal CLY without change. Before t2, the signal PDY is also

steadily in H-level, so that the outputs of the Y driver sequentially output the select voltage and thus the whole screen is in the state of displaying. On the occasion of partial displaying, the signal CLY corresponding to 33rd row through 200th row for non-displaying is stopped, and for preventing the Y driver to output the select voltage, the signals CNT3 and PDY are arranged so as to be signals having respective timings illustrated in Fig. 6.

[0044]

Even on the occasion of partial displaying, the cycle of the signal CLY remains unchanged, and hence the period of applying the select voltage to scanning electrodes in the area of displaying is identical with the period in the case of displaying on the whole screen. It is also unnecessary to change the bias ratio and the select voltage.

[0045]

When the display panel is an active matrix type, the voltage of a pixel section is kept during the period of non-selection so that it is necessary to write an OFF-voltage into the pixels of non-displaying rows, on the occasion of shifting to the partial displaying. In the figure, what is symbolized by VCT is a signal voltage control signal, and when the signal VCT is in L-level, the signal

voltage written into the pixels is more or less 0V. For instance, in the case of a TFT panel, writing a voltage equivalent to a common potential makes it possible to cause the voltage written into the pixels to be more or less 0V. In the case of an active matrix type, for not stopping the application of the signal CLY and the select voltage, the signals CNT3 and PDY are set so as to be H-level during the frame period F1, a voltage more or less 0V is written into the pixels when the non-displaying rows are selected, and from the frame period F2, the signal CLY corresponding to the non-displaying part is stopped and the output of the select voltage from the Y driver is suspended. In the case of a simple matrix type, identical timing signals are repeated from the frame t2.

[0046]

With the foregoing method, as illustrated in Fig. 1B, it is possible to carry out the partial displaying in which the display area and the non-display area are divided in the direction of scanning electrodes. In the present embodiment, the size of the area of partial displaying corresponds to the value which is set in the register, so that the size can be changed in increments of one row on the occasion of the row-sequential drive, or in increments of rows which are simultaneously selected, on the

occasion of multiple rows simultaneous select drive.

[0047]

Incidentally, it is possible to carry out the partial displaying by stopping the application of the select voltage, without stopping the signal CLY corresponding to the areas of non-displaying. However, it is preferable to stop the signal CLY as in the present embodiment, in order to reduce the power consumption. When the signal CLY on the occasion of partial displaying is stopped using a Y driver whose interior is not reset by the signal FRM, it is preferable to stop the application of the select voltage for one frame, in order to avoid abnormal displaying on the occasion of shifting from partial displaying to whole screen displaying.

特開平11-184434

(43) 公開日 平成11年(1999) 7月9日

(51) IntCl ⁴	識別記号	PI	G 09 G 3/36	G 09 G 3/38
G 09 G 3/36	5 0 5	5 0 5	5 0 5	5 0 5
G 02 F 1/13	5 0 6	5 0 6	5 0 6	5 0 6
G 09 G 3/20	6 1 1	6 1 1	6 1 1 A	6 2 1 E

審査請求 未請求 請求項の数 5 OL (全 12 頁) 図表頁に就く

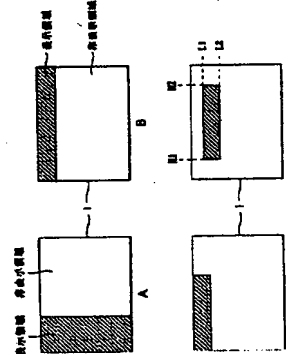
(21) 出願番号	特開平9-351024	(71) 出願人	000042369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成9年(1997)12月19日	(72) 発明者	山崎 卓 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	井原士 鈴木 重三郎 (外2名)

(54) 発明の名称 液晶装置及び電子機器

(57) 要約

【課題】画面の一部分だけを表示状態とし、残りの部分を非表示状態にすることができ、装置使用者が部分表示領域をある程度自由に設定できるようにする。

【解決手段】部分表示させない領域を液晶表示パネル1の1行目からL2行目までかつM1列目からM2列目までの囲まれた領域とする時、制御回路にレジスタを設けてL1、L2、M1、M2に対応する値を書き込めるようにしておき、そこに書き込まれた値に従って部分表示させる。



(2)

特開11-184434

【特許請求の範囲】

【請求項1】一部の領域を表示状態とし、他の領域を非表示状態とする機能を有した液晶装置であって、表示領域あるいは非表示領域の位置を制御回路のレジスタにより可変させたことを特徴とする液晶装置。

【請求項2】請求項1の液晶装置において、表示領域と非表示領域の区分が信号電極によって区分される方向であって、非表示領域の信号電極への印加電圧を表示が分つとる電圧に固定する手段と、非表示領域に印加する表示データの駆込を停止させる手段とを備えたことを特徴とする液晶装置。

【請求項3】請求項1の液晶装置において、表示領域と非表示領域の区分が走査電極によって区分される方向であって、全行に表示する場合と一部の行に表示する場合とで表示領域の走査電極に選択電圧を加える時間が同じであることを特徴とする液晶装置。

【請求項4】請求項3の液晶装置において、表示パネルには画素電極がマトリックス状に形成され画素部を形成してなり、前記画素電極にスイッチング素子が形成されてなり、非表示領域にある行の画素部の液晶への印加電圧をほぼ0Vに書き込む手段を備えていることを特徴とする液晶装置。

【請求項5】前記液晶装置を搭載したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】本発明は一部の領域だけを表示状態とし、他の領域を非表示状態にすることができる機能を有した液晶装置に関する。

【0002】従来の技術】携帯電話等の携帯電子機器に用いられている表示装置はより多くの情報を表示できるように表示ドット数が年々増加して来ており、それに伴い表示装置による消費電力も増大して来ている。携帯電子機器の電源は電池であるため電池寿命が長くなるように低消費電力であることが強く求められる。そのため表示ドット数が多い表示装置においては必要な時は全画面を表示状態とするが、通常時は必要最小限の表示が出来るように表示パネルの一部の領域だけを表示状態とし、他の領域を非表示状態にして消費電力を低減する方法が検討されて

【0003】従来の液晶表示装置においては全画面の表示／非表示が制御できる機能を持つものが多いが、画面のある領域だけを表示状態とし、他の領域を非表示状態にする機能を持つものはまだ実用化されていない。そうした機能を実現する方法としては特開平6-95621の実例1及び特開平7-281632が提案されている。これらの従来例は2つとも液晶表示パネルが単純マトリックス方式の場合について述べている。

【0004】図7、図8を用いて特開平6-95621

の実例1を以下に説明する。図7はこの実例1の液晶表示装置のプロック図である。プロック5は液晶表示パネルであり、複数の走査電極を形成した走査線と複数の信号電極を形成した信号線とが数μmの間隔で対向して配置され、その間隙には液晶が封入されている。プロック5は走査電極を駆動するYドライバであり、プロック5は信号電極を駆動するXドライバである。液晶の駆動に必要の複数の電圧レベルはプロック5の駆動電圧形成回路で形成され、XドライバとYドライバを駆動して液晶表示パネルに印加される。プロック5は走査電極を制御する駆動回路である。プロック5はそれらの回路に必要なタイミング信号や表示用データ信号および制御信号を形成するLCDコントローラであり、プロック5は以上の回路の電力供給源である。走査電極には駆動1行ずつ選択電圧が印加され、その他の行には非選択電圧が印加される。信号電極は選

択されている行の各画素のオン／オフに従う信号電圧が順次印加される。

【0005】この実例1は部分表示が左半画面の場合と、さらにその内の上半分の場合について述べている。まず部分表示が左半画面の場合について説明する。信号電極の数は640とする。左半画面の部分表示状態に移行する前に、Xドライバには1行分の全画面がオフのデータを書き込んでおく。その後、LCDコントローラはXドライバ内部のシフトレジスタを動作させてクロックC/LXの間隔を2倍にして1選択電圧のクロック数を半減するとともに、それに合わせて1行当たり320画素分の表示データだけを駆込する。この時、左半画面の320画素分しかデータ駆込が無くてもXドライバには1行分の表示データを記憶する回路が内蔵されているため、Xドライバの右半分は先に駆込されていたオフのデータを読み出し続け、Xドライバの右半分の320画素の出力は表示をオフする電圧を出力し続ける。こうして右半画面をオフ表示状態とすることが出来る。Xドライバの動作クロック周波数が半減することとパネルの半分がオフ表示になることで、表示装置の消費電力は全画面表示状態の場合に比べて若干減少する。

【0006】次に部分表示が左半画面の内の上半分だけの場合について説明する。走査電極の数は400とする。まず前述した方法で左半画面のみを表示状態とする。続いてLCDコントローラは部分表示制御信号PDを“H”レベルにして下半分を非表示状態とする。PDを“L”レベルの場合には1/400デューティで全走査電極を走査することにより全画面が表示状態となり、PDが“H”レベルの場合にはパネルの上半分の走査電極だけを1/200デューティで走査することにより上半画面が表示状態となり、下半画面が非表示状態という部分表示状態となる。1/200デューティの切り替

えはYドライバ内部のシフトレジスタを動作させるクロックC/LXの間隔を2倍に切り替えて1フレーム期間内

のクロック数を半減することによって行っている。部分表示状態における半画面の定電圧の定電圧停止方法の詳細は記載されていないが、定電圧制御回路ブロック54とYドライバ内のシフトレジスタの200段目から201段目に転送するデータが“L”レベルに固定され、その結果、Vドライバの201番目～400番目の出力が非選択電圧レベルを保持するという方法である。

【0007】画面のオン・オフ状態は液晶に加わる電圧の実効値で決まる。下半画面の液晶に加わる実効電圧は走査電圧に選択電圧が全く加わらないために右1/4画面のオン表示状態となっている液晶に加わる実効電圧よりもかなり小さくなり、その結果、下半画面は完全に非表示状態となる。

【0008】なお、単純マトリックス方式の液晶表示パネルにおいては表示デューティを切り替える場合には駆動電圧の設定変更が必要となる。以下にこの点を駆動電圧形成回路ブロック53の内部回路である図8を用いて説明する。

【0009】まず図8の構成と機能について述べる。約1/30デューティよりも高デューティの液晶表示パネルを駆動するにはV0-V5の6レベルの電圧が必要になる。液晶に印加される最大電圧はV0-V5であり、V0には+5Vの入力電源電圧をそのまま用いる。コントラス調整用の可変抵抗RV1とトランジスタQ1とによりV0と2-4Vの入力電源からコントラスQ1で最も低い電圧V5を取り出し、抵抗R1-R5によりV0-V5の電圧を生成して中間電圧を形成し、それらの中間電圧をオペアンプOP1-OP4で駆動電圧を上げV1-V4を出力する。スイッチS2aとS2bは運動スイッチであり信号PDのレベルに応じてR3aとR3bのどちらか一方が接続状態となる。R3aとR3bの抵抗値を異なるようにしておくことにより、PDのレベルに応じて異なる分圧比のV0-V5を形成することができる。

【0010】V0-V5の間には $V0-V1=V1-V2=V2-V3=V3-V4=V4-V5$ という関係があり、電圧分圧比 $(V0-V1)/(V0-V5)$ をバイアス比と呼ぶ。デューティを1/4Nとする時、好ましいバイアス比は $1/(1+1/N)$ であることが特公昭57-57718において開示されている。従ってR3aとR3bの抵抗値を各々1/400デューティ用と1/200デューティ用に設定しておけば、各デューティにおいて好ましいバイアス比で駆動することができる。

【0011】デューティを切り替える場合にはバイアス比の切り替えだけでなく同時に駆動電圧 $=V0-V5$ の実効値も必要である。駆動電圧を固定したままデューティを1/400から1/200に切り替えると、バイアス比を好ましい値に切り替えてもコントラスが著しく低い表示となってしまふ。これは選択電圧が液晶に加わっ

ている時間が2倍になるために液晶に加わる実効電圧が高くなりすぎてしまうことによる。この実施例ではバイアス比の切り替えの必要とその実現手段については詳細に記載されていないが、駆動電圧切り替えの必要とその実現手段については詳細な記載がない。

【0012】具体的にデューティを1/Nとする。N>1の場合にはV0-V5をほぼNに比例して調整する必要がある。たとえば1/400デューティの場合の最適なV0-V5を仮に28Vとすると、1/200デューティの場合にはV0-V5を28V/2=14Vに調整する必要がある。この電圧調整は全面表示状態と上半画面表示状態とを切り替える際にコントラス調整用可変抵抗RV1を調整使用者が調整することによって行うことになるが、それは調整使用者にとりは大変不便なことである。駆動電圧自動調整手段の追加が必要であるが、バイアス比切り替え手段は容易ではないが駆動電圧形成回路は大幅に複雑化することになる。

【0013】部分表示が十数行～20行前後とかなり小さい場合は、それに合わせてデューティを切り替える。たとえばバイアス比が1/3や1/4となる、液晶の駆動に必要な電圧は6レベルではなく1/4バイアスの場合は5レベル、1/3バイアスの場合は4レベルとなる。5レベルの電圧が必要となる場合はR3aとR3bの内の部分表示時に接続される側の抵抗値を0Ωにしておけばよいが、4レベルの電圧が必要な場合はR3*特開平7-281632はこのような場合のバイアス比の切り替え手段及び駆動電圧の切り替え手段について詳細に述べられているが、ここではその実施例のこれ以上の説明は省略する。

【0014】【発明が解決しようとする課題】前述したこれまでに提案されている方法により、液晶表示パネルの一部の領域だけでも表示状態とし、他の領域を非表示状態にする機能は可能となる。但し、部分表示する領域に対応してクロックの周波数を切り替えないと、バイアス比や駆動電圧を切り替えないと十分な表示を得ることができず、部分表示できる領域が小さくなるという問題が生じ、部分表示のために汎用性が極めて乏しいという欠点を生ずる。

【0015】液晶ドライバは制御スラフ端子により表示オフ機能を有しているものが多い。その機能を利用してドライバICごとの表示オフ制御入力端子に制御することによりICチップ単位で部分表示の領域を設定する方法も可能であるが、やはり部分表示できる領域が用意されている設定のみに限定されてしまうので、汎用性に欠ける方法である。

【0016】そこで本発明は部分表示の領域がソフト的に設定できる汎用性の高い液晶表示装置を提供することを目指す。

【0017】【課題を解決するための手段】請求項1記載の液晶装置は、一部の領域を表示状態とし、他の領域を非表示状態とする機能を有した液晶装置であって、表示領域あるいは非表示領域の位置を制御回路のレジスタにより可変させたことを特徴とする。

【0018】たとえば部分表示させたい領域を表示ドット1の1行目からL2行目までかつM1列目からM2列目までの範囲とした場合、制御回路にレジスタを設けてL1、L2、M1、M2に対応する値を書き込むようにすること、そこに書き込まれた値に従って部分表示させることは技術的に可能である。こうした手段と有した液晶装置は使用者が部分表示させたい領域をかなり自由に設定できるため汎用性が高いものとなる。

【0019】請求項2記載の液晶装置は、表示領域と非表示領域の区分が信号電圧によって区分される方向であって、非表示領域の信号電圧への印加電圧を表示がオフとなる電圧に固定する手段と、非表示領域に対応する表示データの転送を停止させる手段とを備えたことを特徴とする。

【0020】部分表示時でも表示部分のデータ転送クロックの周波数は全面表示時と同じにしており、非表示部分のデータ転送期間ではデータ転送クロックあるいはデータの少なくとも一方を停止させるという方法により、表示領域と非表示領域の区分が信号電圧によって区分される方向という場合の汎用性を保つことができる。

【0021】請求項3記載の液晶装置は、表示領域と非表示領域の区分が走査電圧によって区分される方向であって、全行に非表示する場合は一部の行に非表示する場合と表示領域の走査電圧に選択電圧を印加する時間と同じであることを特徴とする。

【0022】部分表示時でも表示領域の走査電圧を選択電圧を印加する時間やハイアス比および駆動電圧を全面表示時と同じにするという方法により、表示領域と非表示領域の区分が走査電圧によって区分される方向という場合の汎用性を保つことができる。

【0023】請求項4記載の液晶装置は、表示パネルに走査電圧がマトリックス状に形成された画素部を形成してなり、非表示領域にスライツ素子が形成されてなり、非表示領域にある行の画素部は液晶への印加電圧をほぼ0Vに書き込む手段を備えていることを特徴とする。

【0024】単純マトリックス方式の場合は走査電圧に非選択電圧を印加するだけでその行を非表示状態にすることができ、TFTやMIMなどのアクティブマトリックス方式の場合は非選択の期間は画素部の電圧を保持し続けるため、部分表示状態に移行する前に非表示の行の画素にオフ電圧を書き込んでおく必要がある。0Vに書き込んでおけば液晶に特有な交差電流も不要となる。こうした手段によりアクティブマトリックス方式

の液晶装置においても表示領域と非表示領域の区分が走査電圧によって区分される方向という場合の汎用性を保つことができる。

【0025】【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。図1は本発明の液晶装置における部分表示状態を示す図であり、斜線部分が表示状態、白地部分が非表示状態となっている。必要に応じて白地部分は非表示状態となるが、特許時には図1のように白地表示パネルの一部の領域だけに表示する状態となる。

【0026】図1Aは表示領域と非表示領域の区分が信号電圧によって区分される方向である場合、図1Bは表示領域と非表示領域の区分が走査電圧によって区分される方向である場合、図1CとDはその組み合わせによる場合を示した図である。以後は信号電圧によって区分される方向と表示、以下の実施例で述べるように、部分表示する領域の広さや位置は制御回路（LCDコントローラ）内部のレジスタに設定する値を通して設定できる。

【0027】図2は本発明の液晶表示装置の構成を示すブロック図である。1が液晶表示パネル、2がLCDコントローラ、3が電力供給源、4が駆動電圧形成回路、5が走査電圧制御用ドライバ、6が信号電圧制御用ドライバである。基本要素は従来技術で説明した図1と同様であるため、各要素の説明は省略する。本発明のポイントは、各要素の制御は従来技術で説明した図1と同様であるLCDコントローラの機能については信号の内容と合わせて制御の場所所で説明する。なお、図ではLCDコントローラは独立した回路ブロックとして表しているが、いずれかのドライバICチップに内蔵される場合もある。

【0028】（実施例1）図1Aのような部分表示状態を実現する方法の例について図3と図4を用いて説明する。図3は液晶表示装置に内蔵されるLCDコントローラの部分を示した回路図であり、列方向の部分表示状態を制御する回路ブロックである。また、図4は図3の回路の動作を示すタイミング図である。

【0029】7は8ビット精度のレジスタであり、列方向の部分表示を行うか否かの情報と部分表示する列数に対応した情報が設定される。通常はデータ転送用クロックの1クロックごとに複数ドット分の表示データが転送されるため、レジスタ7には部分表示の列数に対応するデータ転送クロック数を設定すればよい。仮にデータ転送クロックごとに8ドット分の表示データが転送される場合とすると7ビットあれば $2^7 \times 8 \text{ドット} = 1024 \text{ドット}$ までの部分表示が8ドット単位で設定できることになる。

【0030】8はカウンタを主体とする回路ブロックで、走査開始信号FRM、表示データラッチ信号LP、データ転送用クロックCLX1といったタイミング信号

色光用液晶ライトバルブ23に入射される。一方、青色光は第2のダイクロミックミラー14も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ18、リレーレンズ19、出射レンズ20を含むリレーレンズ系からなる導光手段21が設けられ、これをして青色光が青色光用液晶ライトバルブ24に入射される。各ライトバルブにより変調された3つの色光はクロスタイクロイックアプリアム25に入射する。このアプリアムは4つの直角プリズムが組み合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投写光学系である投影レンズ26によってスクリーン27上に投写され、画像が拡大されて表示される。

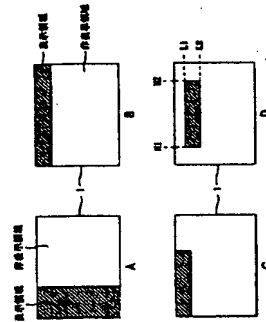
【0054】図11に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。
【0055】図12に示すパーソナルコンピュータ1200は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアーアプリアム1314、1316及びフィルムキャリアーアプリアム1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0056】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図9に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304aに形成されない回路は、液晶表示基板の外付け回路とされ、図12の場合には回路基板1308に搭載できる。

【0057】図12はベージャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したもので、電圧降下用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図13に示すように、液晶表示基板1304を構成する2枚の透明基板130

FRM ... 走査開始信号
LP ... データラッチ信号
CLXI, CLY ... データ転送用クロック
CLYI, CLY ... 走査信号転送用クロック
DataI, Data ... 表示データ
CNT1~CNT3, PDY, VCT ... 部分表示用制御信号
RV1 ... 可変抵抗
R1, R2, R3a, R3b, R4, R5 ... 抵抗
S2a, S2b ... スイッチ
Q1 ... ハイボラ・トランジスタ
OP1~OP4 ... オペアンプ
V0~V5 ... 液晶駆動電圧

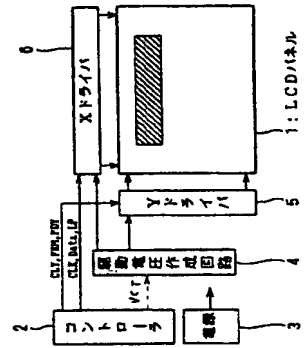
【図1】



【図4】



【図2】



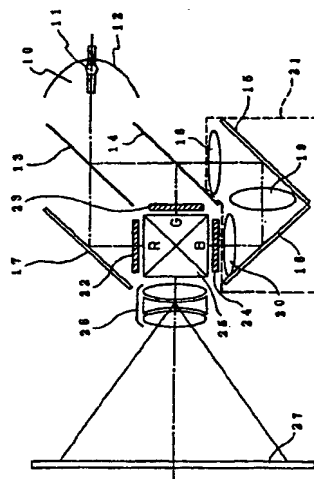
フロントページの続き

(5)Int.Cl.⁶
G09G 3/20

識別記号
680

P1
G09G 3/20

【図10】



【図12】

